**选课时间段： 周五6-8节**

**序号（座位号）：\_\_\_\_\_\_\_\_\_\_**

**杭州电子科技大学**

**实 验 报 告**

**课程名称: EDA技术**

**实验名称： 序列检测器设计**

**指导老师： 岳克强**

**学生姓名： 黄继升**

**学生学号： 16041321**

**学生班级： 16040313**

**所学专业： 电子信息工程**

**实验日期： 2017.12.22**

**一.实验目的**

用状态机实现序列检测器的设计，了解一般状态机的设计与应用

**二.实验仪器设备或关键器材**

1.Quartus II软件

2.EDA实验箱上的FPGA开发板

**三.实验原理**

序列检测器可用于检测一组或多组由二进制码组成的脉冲序列信号，当序列检测器连续收到一组串行二进制码后，如果这组码与检测器中预先设置的码相同，则输出1，否则输出0。由于这种检测的关键在于正确码的收到必须是连续的，这就要求检测器必须记住前一次的正确码及正确序列，直到在连续的检测中所收到的每一位码都与预置数的对应码相同。在检测过程中，任何一位不相等都将回到初始状态重新开始检测。

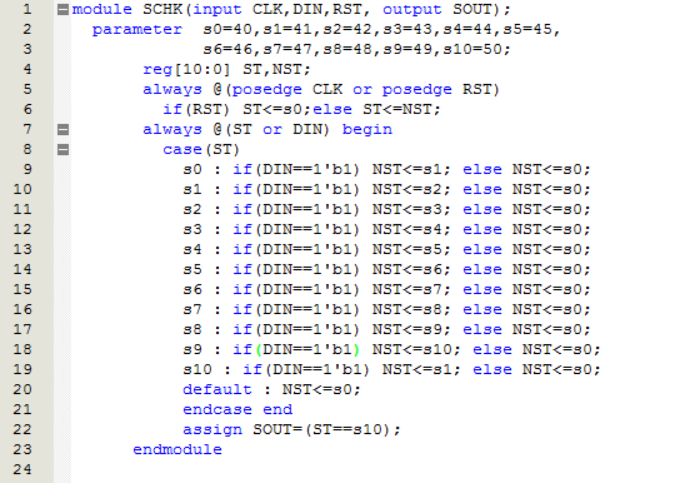
若将状态机用于序列检测器的设计比之其他方法更能显示其优越性。当10位待检测序列高位在前左移串行进入检测器后，若此数与预置的1111111111相同，则输出1，否则始终输出0.其中CLK，DIN，RST和SOUT分别是时钟信号、输入数据、复位信号和检测结果输出。

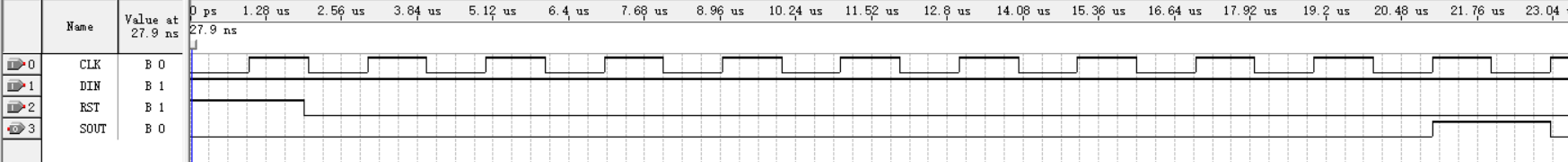
**四.实验内容以及操作：**

根据10.2.2节有关的原理介绍，利用Quartus II对例10-4进行改写，重新设计一个10位二进制序列的检测器，进行文本编辑输入、仿真测试并给出仿真波形，了解控制信号的时序，最后进行引脚锁定并完成硬件测试实验。

SCHK代码：

该模块检测到序列1111111111，则输出一个高电平。



 新建一个波形图，设置endtime=50μs，CLK设置为2μs，并设置DIN为高电平。保存并输出波形图如下。

由波形图可知，当RST=0时，毎10个时钟信号后SOUT输出高电平1，证明序列1111111111检测成功。



最后生成元件：

然而为了在FPGA上进行硬件测试，则必须进行22MHZ时钟信号的分频

分频器设计：进行如下的设置，将一个锁相环PLL和一个10位二进制计数器进行连接，构成一个10000\*2^10=10240000倍分频器

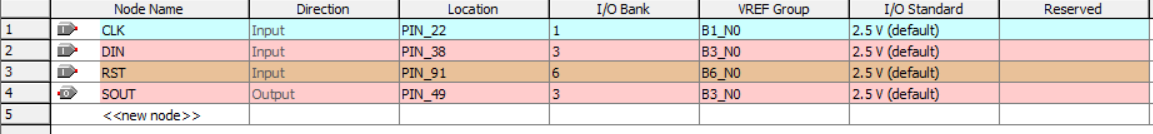


新建一个原理图，将各元器件进行如下连接：

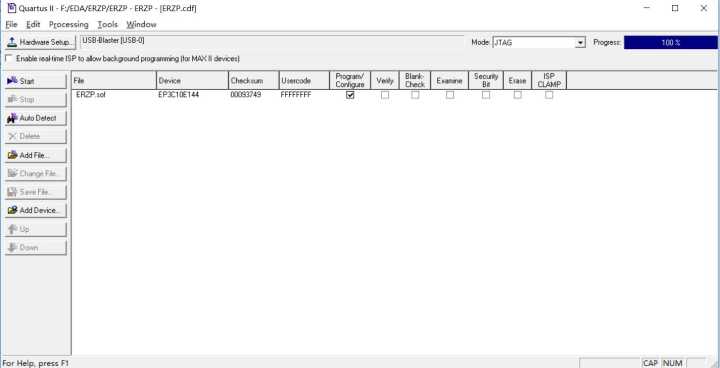


引脚设置：

CLK设置为PIN\_22，PIN设置为PIN\_38，RST设置为PIN\_91,SOUT设置为PIN\_49，如下所示：



保存，并且进行编译通过后，将FPGA和计算机相连，把整个顶层电路设计下载到FPGA开发板上，如下所示：



硬件检测：当按下DIN按键5s后，可发现SOUT对应的指示灯亮起。

**五.实验感想**：

这次实验总的来说还是很容易的，我本来的想法是这样的：设计一个1101101101的序列检测器，其中包含10位左移寄存器模块，序列检测模块和时钟分频模块，然后通过FPGA开发板上的十个按键来进行提前输入置数，最后将所输入的数与预置在序列检测模块的十位序列码1101101101进行比较，经过十个时钟周期后输出结果。但是我没有考虑到FPGA上没有足够的按键，即没有考虑到实际情况，但是通过这次设计使我加深了对状态机代码设计的理解，从而更加熟练地掌握对Verilog代码的编写。希望以后我能独立地编写出更多的程序代码，并且为学会其他软硬件代码语言打下坚实的基础。